

10/550645

JC14 Rec'd PCT/PTO 23 SEP 2005

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: TOMINAGA KOJI ET AL.)
)
For: SEMICONDUCTOR DEVICE AND METHOD FOR)
MANUFACTURING THE SAME)

CLAIM FOR PRIORITY

Mail Stop PCT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

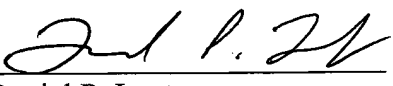
Dear Sir:

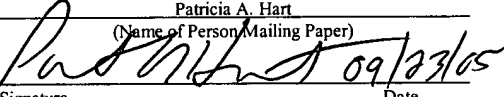
Applicant hereby claims the benefits of the filing date of March 24, 2003 to Japanese Application No. 2003-79290 under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

If any fees are due with regard to this claim for priority, please charge them to Deposit Account No. 06-1130 maintained by Applicant's attorneys.

Respectfully submitted,

CANTOR COLBURN LLP

By 
Daniel P. Lent
Registration No. 44,867

| | |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------|
| I certify that this correspondence is being deposited with the United States Postal Service as Express mail in an envelope addressed to: Mail Stop PCT, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on | |
| September 23, 2005 (Date of Deposit) | |
| Patricia A. Hart (Name of Person Mailing Paper) | |
| <u></u> Signature | 09/23/05 Date |
| EV543403337US Express Mail Label | |

Date: September 23, 2005
Address: 55 Griffin Road South, Bloomfield, Connecticut 06002
Telephone: (860) 286-2929
Customer No. 023413

日 本 国 特 許 庁
JAPAN PATENT OFFICE

18. 3. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

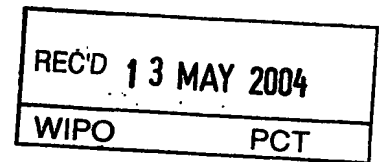
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 7 9 2 9 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 7 9 2 9 0]

出 願 人
Applicant(s):

株式会社堀場製作所
ローム株式会社
独立行政法人産業技術総合研究所
株式会社日立製作所

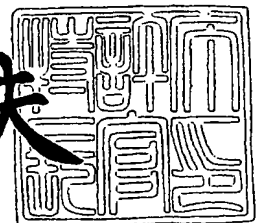


**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 4 年 4 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 165-141

【あて先】 特許庁長官殿

【発明者】

 【住所又は居所】 京都府京都市南区吉祥院宮の東町2番地 株式会社堀場製作所内

 【氏名】 富永 浩二

【発明者】

 【住所又は居所】 京都府京都市右京区西院溝崎町21番地 ローム株式会社内

 【氏名】 岩本 邦彦

【発明者】

 【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 安田 哲二

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

 【氏名】 生田目 俊秀

【特許出願人】

 【識別番号】 000155023

 【氏名又は名称】 株式会社堀場製作所

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

【特許出願人】

 【識別番号】 301021533

 【氏名又は名称】 独立行政法人産業技術総合研究所

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100074273

【弁理士】

【氏名又は名称】 藤本 英夫

【電話番号】 06-6352-5169

【手数料の表示】

【予納台帳番号】 017798

【納付金額】 16,800円

【その他】

国等以外のすべての者の持分の割合 80/100

国等の委託研究の成果に係る特許出願〔平成14年度新
エネルギー・産業技術総合開発機構「次世代半導体材料
・プロセス基板技術開発」委託研究、産業活力再生特別
措置法第30条の適用を受けるもの〕

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706521

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項1】 シリコン基板の一つの面に界面層と拡散抑制層と高誘電率絶縁膜とがこの順で形成されていることを特徴とする半導体装置。

【請求項2】 界面層の厚みが SiO_2 等価換算膜厚で1.0nm以下である請求項1に記載の半導体装置。

【請求項3】 高誘電率絶縁膜における構成元素が界面層における構成元素の一部と同じである請求項1または2に記載の半導体装置。

【請求項4】 シリコン基板の一つの面に初期層を形成し、この初期層の表面に拡散抑制層を形成した後、熱処理を施して前記初期層をシリコン基板と相互拡散させた界面層とし、その後、前記拡散抑制層の表面に高誘電率絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項5】 シリコン基板の一つの面に初期層を形成し、この初期層の表面に拡散抑制層を形成し、この拡散抑制層の表面に高誘電率絶縁膜を形成した後、熱処理を施して前記初期層をシリコン基板と相互拡散させた界面層とすることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置とその製造方法に関し、特に、シリコン基板に金属酸化膜等をゲート絶縁膜として形成したMIS (Metal Insulator Semiconductor) 型トランジスタとしての半導体装置とその製造方法に関する。

【0002】

【従来技術】

【特許文献1】 特開2002-43565号公報

近年、半導体の高集積化に伴い、MIS型トランジスタのゲート絶縁膜には、従来のシリコン基板 (Si基板) を酸化させた SiO_2 から、より誘電体の大き

な材料 (High-k) が用いられるようになってきている。しかしながら、High-k 材料は、Si 基板と相互拡散してしまい、誘電率が小さくなり、しかもトランジスタ作成プロセス時の熱処理によって、その拡散層がより増加してしまうといった課題があった。

【0003】

上述のような課題を解決するために、例えば、前記特許文献 1 に記載される技術が提案されている。すなわち、この技術は、Si 基板と High-k 材料の相互拡散を防ぐため、Si を窒化させた Si_3N_4 膜を Si 基板に一旦形成した後、High-k 膜を形成するものである。

【0004】

【発明が解決しようとする課題】

しかしながら、前記特許文献 1 の記載の技術では、窒素が Si 界面近くに存在することによって、トランジスタ特性が劣化してしまうといった問題が発生しており、高品位の M I S 型トランジスタを必ずしも確実に得られなかった。

【0005】

この発明は、上述の事柄に留意してなされたもので、その目的は、ゲート絶縁膜に起因するトランジスタ特性の劣化や界面層の増加を抑制した高品位の半導体装置とその製造方法を提供することである。

【0006】

【課題を解決するための手段】

上記目的を達成するため、この発明の半導体装置は、シリコン基板の一つの面に界面層と拡散抑制層と高誘電率絶縁膜とがこの順で形成されていることを特徴としている (請求項 1)。

【0007】

前記半導体装置においては、例えば Si 単結晶からなる Si 基板と、この Si 基板の一つの面側に形成される高誘電率絶縁膜 (High-k 絶縁膜) との間に、Si 基板と相互拡散されるようにして形成された Si と High-k 構成金属元素から構成される酸化物が界面層として形成され、さらに、この界面層の上面に、当該界面層の前記 High-k 絶縁膜への拡散を抑制する拡散抑制層が形成

されているので、界面層には、High-k構成金属元素、酸素元素およびSiしか存在しないこととなり、トランジスタ特性が劣化させられることがない。また、前記半導体装置においては、トランジスタ作製のプロセス中の熱処理によっても前記拡散抑制層の存在により、界面層の厚みが増大することがなく、高品位となる。

【0008】

前記半導体装置において、界面層の厚みがSiO₂ 等価換算膜厚で1.0nm以下であるのが好ましく（請求項2）、また、高誘電率絶縁膜における構成元素が界面層における構成元素の一部と同じであるようにしてあってもよい（請求項3）。

【0009】

そして、上記目的を達成するため、この発明の半導体装置の製造方法は、シリコン基板の一つの面に初期層を形成し、この初期層の表面に拡散抑制層を形成した後、熱処理を施して前記初期層をシリコン基板と相互拡散させた界面層とし、その後、前記拡散抑制層の表面に高誘電率絶縁膜を形成することを特徴としている（請求項4）。

【0010】

前記半導体装置の製造方法によれば、高品位の半導体装置を確実に得ることができる。

【0011】

また、上記目的を達成するため、この発明の半導体装置の製造方法は、シリコン基板の一つの面に初期層を形成し、この初期層の表面に拡散抑制層を形成し、この拡散抑制層の表面に高誘電率絶縁膜を形成した後、熱処理を施して前記初期層をシリコン基板と相互拡散させた界面層とすることを特徴としている（請求項5）。

【0012】

前記半導体装置の製造方法によれば、請求項4に記載の半導体装置の製造方法の効果に加えて次のような効果がある。すなわち、成膜の手法としてALD (Atomic Layer Deposition; 原子層成膜) 法を採用するこ

とにより、同一のチャンバ内で途切れることなくプロセス処理を行うことができ、複数のチャンバを用意する必要がない。

【0013】

【発明の実施の形態】

発明の実施の形態を図面を参照しながら説明する。まず、図1は、この発明の半導体装置としてのMIS型トランジスタ1の構成を概略的に示すもので、この図において、2はSi単結晶基板（以下、単にSi基板という）で、その抵抗率は例えば $0.01 \sim 15 \Omega \cdot \text{cm}$ である。3は素子間を分離させるための素子分離酸化膜で、Si基板1を熱酸化させて形成される。4はゲート絶縁膜で、界面層5、拡散抑制層6およびHigh-k膜7よりなる。このゲート絶縁膜4の形成方法については、後で詳しく説明する。

【0014】

8はゲート絶縁膜4の上面に形成されるゲート電極で、例えば多結晶Si膜や多結晶SiGe膜またはゲート絶縁膜4と反応しないPt（白金）などの貴金属やTiN、TaNなどの高融点金属よりなる。9はチャンネル領域で、nチャンネルにはP（リン）を、pチャンネルにはB（ボロン）をそれぞれ注入し、 $800^\circ\text{C} \sim 1000^\circ\text{C}$ の温度で10～30分間熱処理を行って活性化させる。10は層間絶縁膜で、例えば SiO_2 であり、CVD（Chemical Vapor Deposition）法などで形成される。11は引き出し電極で、例えばAlよりなり、ソース・ドレイン電極となる。なお、パターンニングは、例えばフォトリソグラフィの技術によって行われる。

【0015】

次に、前記ゲート絶縁膜4を形成する第1の手法について、図2を参照しながら説明する。

【0016】

(11) まず、図2（A）に示すように、適宜の厚さ（例えば、 $500 \mu\text{m}$ 程度）のSi単結晶板からなるSi基板2の一つの面2aにSiと相互拡散させるための初期層（第1層ともいう）5'として、 HfO_2 （酸化ハフニア）よりなる薄膜を約 0.5 nm の厚みで形成する。前記初期層5'の成膜の手段としては

、CVD (Chemical Vapor Deposition) 法、ALD 法、スパッタ法など各種の公知の手法がある。

【0017】

(12) 次に、図2 (B) に示すように、初期層5' の上面に拡散抑制膜6として、金属窒化膜としてのAlN膜を0.5~5nmの厚みで、または、金属酸窒化膜としての $AlO_x N_y$ 膜 ($y > 0$) を、0.5~5nmの厚みで形成する。この場合、AlN膜は、TMA (トリメチルアルミニウム: $Al(CH_3)_3$) とアンモニアガス (NH_3) との交互原料供給によるALD法による成膜であっても、窒素含有ガス雰囲気中スパッタ法であってもよい。また、 $AlO_x N_y$ 膜は、TMAと水蒸気ガス (H_2O) との交互原料供給によるALD法によって成膜した Al_2O_3 膜を NH_3 ガス雰囲気中の熱処理によって作成した $AlO_x N_y$ であっても、前記手法で成膜した Al_2O_3 膜をプラズマ窒素ガス雰囲気中で処理した $AlO_x N_y$ であってもよい。

【0018】

(13) 次に、熱処理 (約800℃) によって、Si基板2中のSiと初期層5' として HfO_2 を相互拡散させ、図2 (C) に示すように、界面層としての $HfSiO_4$ (ハフニアシリケート、) 5を形成する。

【0019】

(14) その後、拡散抑制膜6の上面にHigh-k膜7として、 HfO_2 膜を約5nmの厚みで成膜することにより、図2 (D) に示すように、Si基板2の一方の面2a上に、界面層5、拡散抑制膜6およびHigh-k膜7の三層構造を有するゲート絶縁膜4を形成することができる。前記High-k膜としての HfO_2 膜7の成膜は、CVD法、ALD法あるいはスパッタ法のいずれで行ってもよい。

【0020】

上述のようにして形成された半導体装置1のゲート絶縁膜4は、トランジスタ作製のプロセス中の熱処理によっても、電気絶縁性に優れた拡散抑制膜6が界面層5とHigh-k膜7との間に形成されているので、界面層5がその厚みを増大させることはない。また、前記拡散抑制膜6が存在することにより、High

—k 膜 7 中の酸素が界面層 5 側に拡散するのが抑制され、その結果、High—k 性が損なわれるといったことが効果的に防止される。したがって、上記半導体装置 1 のゲート絶縁膜 4 は、高品位であるとともに、その製造方法は、高品位の半導体装置 1 のゲート絶縁膜 4 を確実に製造することができる。

【0021】

なお、上述の実施の形態においては、High—k 膜 7 を HfO_2 膜で形成していたが、この HfO_2 膜に代えて、 ZrO_2 や TiO_2 とし、界面層 5 を ZrSiO_4 、 TiSiO_4 でそれぞれ形成してあってもよく、また、 HfO_2 と Al_2O_3 など High—k 膜複合物（この場合、 HfAlO_x ）で形成し、初期層 5' を HfO_2 とし、界面層 5 を HfSiO_4 とし、高誘電率絶縁膜である High—k 膜 7 における構成元素が界面層 5 における構成元素の一部と同じであるように構成してもよい。

【0022】

図 3 は、ゲート絶縁膜 4 の形成する第 2 の手法を概略的に示すものである。

【0023】

(21) まず、図 3 (A) に示すように、適宜厚さ（例えば、 $500\mu\text{m}$ 程度）の Si 単結晶板からなる Si 基板 2 の一つの面 2a に Si と相互拡散させるための初期層 5' として、 HfO_2 よりなる薄膜を約 0.5nm の厚みで形成する。前記初期層 5' の成膜の手段としては、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ と水蒸気ガスとの交互原料供給による ALD 法で行う。このときの基板温度は $250\sim 350^\circ\text{C}$ 、成膜サイクル数は 4 回である。

【0024】

(22) 次に、供給ガスを代えて、TMA とアンモニアガスとの交互原料供給による ALD 法によって、図 3 (B) に示すように、初期層 5' の上面に拡散抑制膜 6 として、 AlN 膜を 0.5nm の厚みで形成する。このときの基板温度は $250\sim 350^\circ\text{C}$ 、成膜サイクル数は 5 回である。

【0025】

(23) 次に、拡散抑制膜 6 の上面に High—k 膜 7 として、 HfO_2 膜を約 5nm の厚みで成膜する。前記 High—k 膜 7 の成膜の手段としては、Hf

$[N(CH_3)_2]_4$ と水蒸気ガスとの交互原料供給によるALD法で行う。つまり、前記(21)と同じである。このときの基板温度は250～350℃、成膜サイクル数は40回である。

【0026】

(24)最後に、熱処理(約800℃、60秒間)によって、Si基板2中のSiと初期層5'としての HfO_2 を相互拡散させ、図3(D)に示すように、界面層としての $HfSiO_4$ 5を形成することにより、Si基板2の一方の面2a上に、界面層5、拡散抑制膜6およびHigh-k膜7の三層構造を有するゲート絶縁膜4を形成することができる。

【0027】

上述のようにして製作された半導体装置1のゲート絶縁膜4においても、トランジスタ作製のプロセス中の熱処理によっても、電気絶縁性に優れた拡散抑制膜6が界面層5とHigh-k膜7との間に形成されているので、界面層5がその厚みを増大させることはない。また、前記拡散抑制膜6が存在することにより、High-k膜7中の酸素が界面層5側に拡散するのが抑制され、その結果、High-k性が損なわれるといったことが効果的に防止される。したがって、上記半導体装置1のゲート絶縁膜4は、高品位である。

【0028】

そして、この図3のゲート絶縁膜4の形成方法によれば、各膜5'、6、7の成膜をALD法によって行うことにより、同一チャンバ内で途切れることなく成膜を行うことができ、複数の装置やチャンバを用意する必要がなく、製造設備が少なく済むとともに、高品位のゲート絶縁膜4を効率よく形成することができる。

【0029】

【発明の効果】

以上説明したように、この発明によれば、ゲート絶縁膜に起因するトランジスタ特性の劣化や界面層の増加を抑制することができ、したがって、高品位のMIS型トランジスタを得ることができる。

【図面の簡単な説明】

【図 1】

この発明の半導体装置としてのMIS型トランジスタの構造を概略的に示す縦断面図である。

【図 2】

前記半導体装置のゲート絶縁膜の形成方法の一例を示す図である。

【図 3】

前記半導体装置のゲート絶縁膜の形成方法の他の例を示す図である。

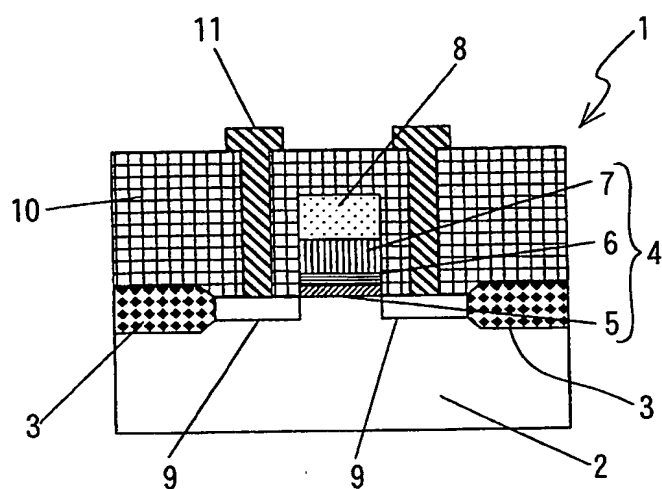
【符号の説明】

1…MIS型トランジスタ、2…シリコン基板、2a…シリコン基板の表面、
5…界面層、5'…初期層、6…拡散抑制層、7…高誘電率絶縁膜。

【書類名】

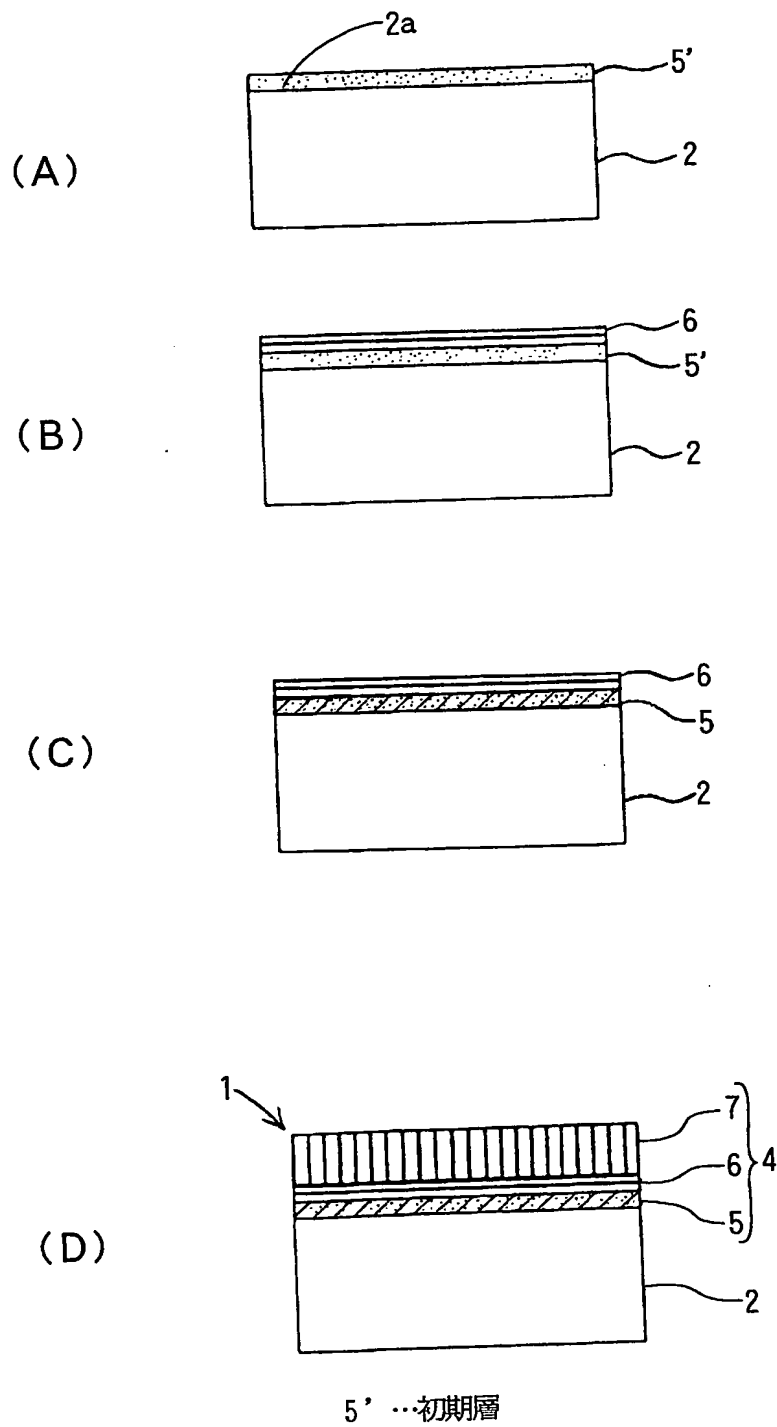
図面

【図 1】

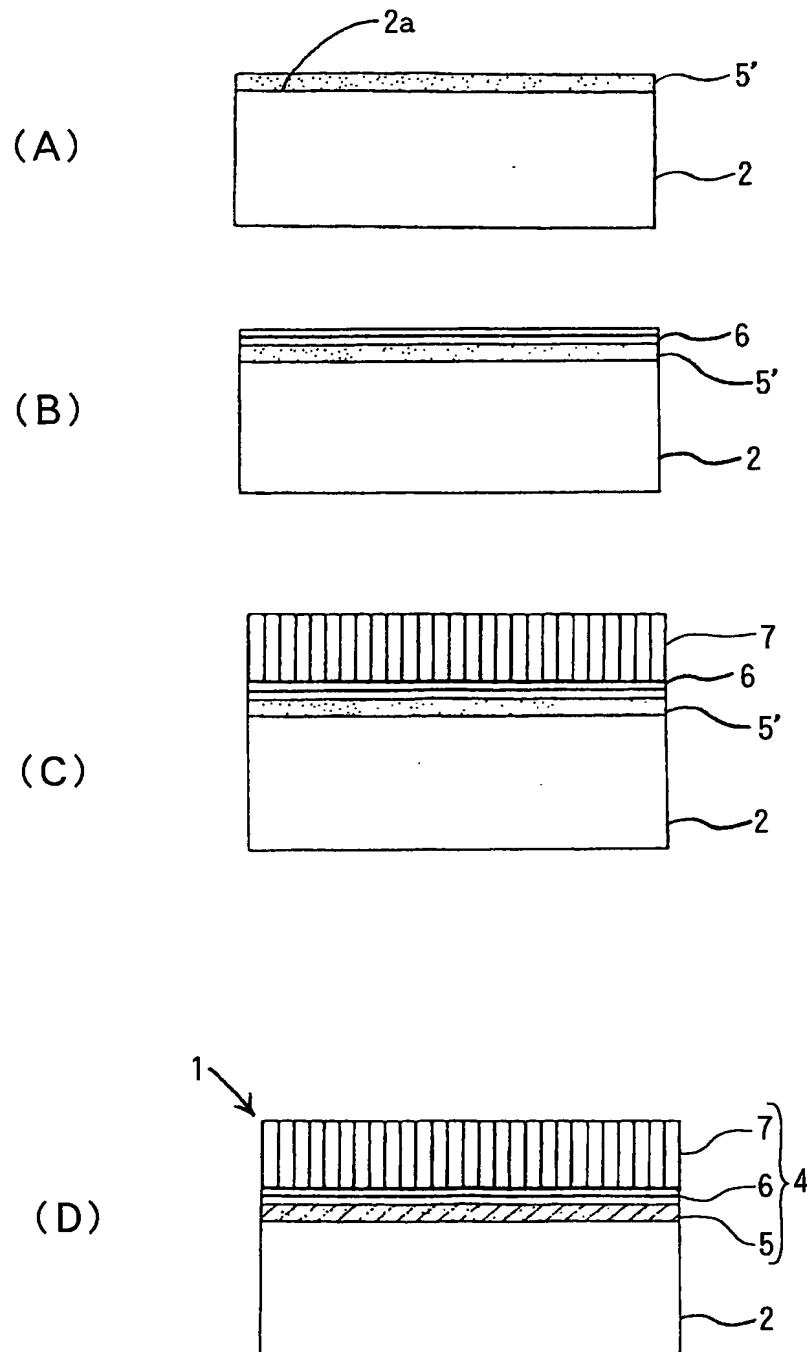


- 1…MIS型トランジスタ
- 2…シリコン基板
- 2a…シリコン基板の表面
- 5…界面層
- 6…拡散抑制層
- 7…高誘電率絶縁膜

【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜に起因するトランジスタ特性の劣化や界面層の増加を抑制した高品位の半導体装置とその製造方法を提供すること。

【解決手段】 シリコン基板 2 の一つの面 2 a に界面層 5 と拡散抑制層 6 と高誘電率絶縁膜 7 とがこの順で形成されている。

【選択図】 図 1

認定・付加情報

| | |
|---------|----------------|
| 特許出願の番号 | 特願 2003-079290 |
| 受付番号 | 50300465276 |
| 書類名 | 特許願 |
| 担当官 | 塩野 実 2151 |
| 作成日 | 平成15年 9月25日 |

<認定情報・付加情報>

【提出日】 平成15年 3月24日

【書類名】 出願人名義変更届 (一般承継)
【提出日】 平成16年 3月 9日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2003- 79290
【承継人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【承継人代理人】
 【識別番号】 100080001
 【弁理士】
 【氏名又は名称】 筒井 大和
【提出物件の目録】
 【包括委任状番号】 0308729
 【物件名】 承継人であることを証明する登記簿謄本 1
 【援用の表示】 平成15年4月11日付け提出の特許第3154542号の会社
 分割による特許権移転登録申請書に添付のものを援用する。

特願 2 0 0 3 - 0 7 9 2 9 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 5 0 2 3]

1. 変更年月日

1 9 9 0 年 9 月 3 日

[変更理由]

新規登録

住 所

京都府京都市南区吉祥院宮の東町 2 番地

氏 名

株式会社堀場製作所

特願 2 0 0 3 - 0 7 9 2 9 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社

特願 2 0 0 3 - 0 7 9 2 9 0

出 願 人 履 歴 情 報

識別番号

[3 0 1 0 2 1 5 3 3]

1. 変更年月日

2 0 0 1 年 4 月 2 日

[変更理由]

新規登録

住 所

東京都千代田区霞が関 1 - 3 - 1

氏 名

独立行政法人産業技術総合研究所

特願 2 0 0 3 - 0 7 9 2 9 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

| | |
|----------|------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 3 1 日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都千代田区神田駿河台 4 丁目 6 番地 |
| 氏 名 | 株式会社日立製作所 |